

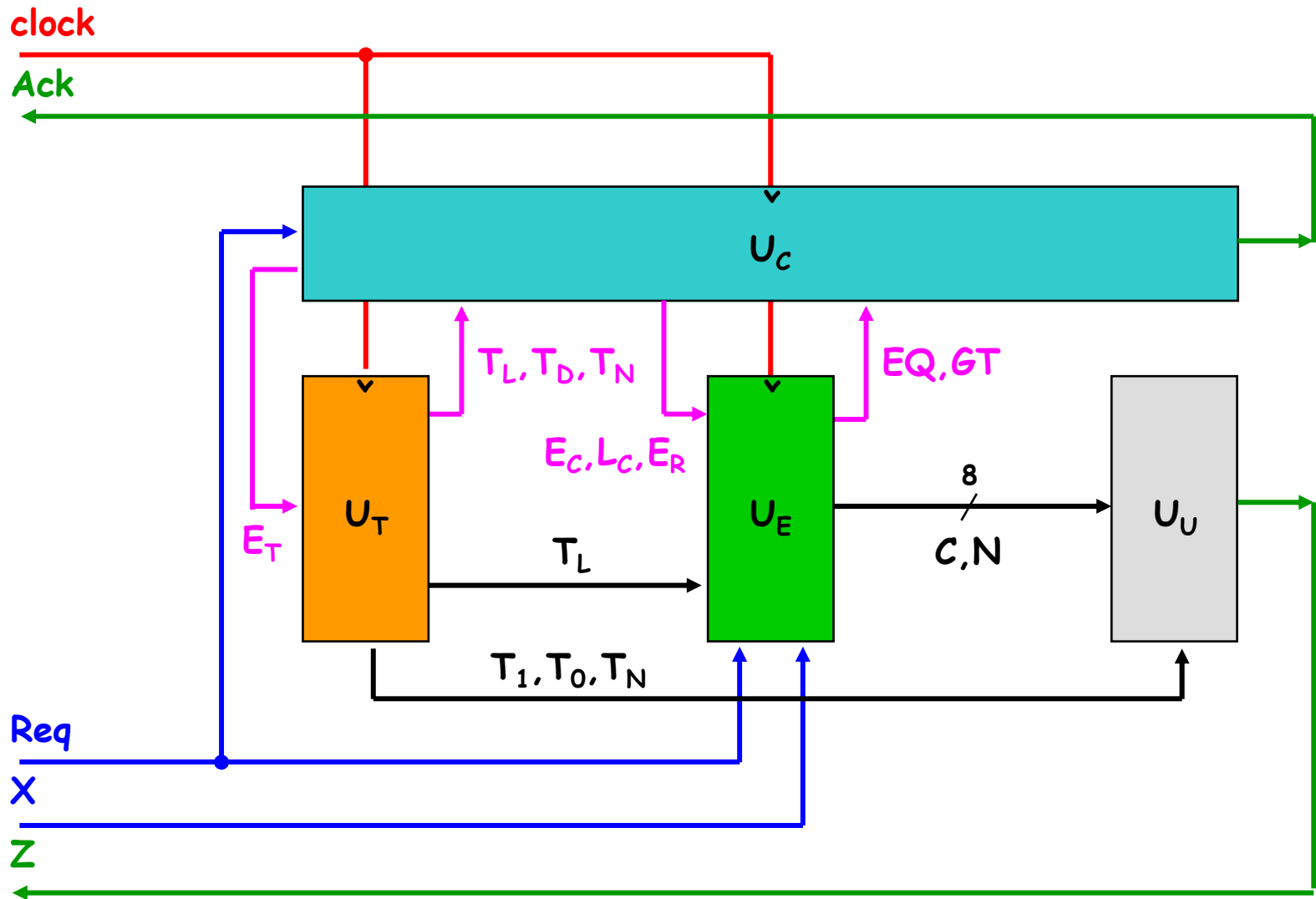
Problema 1

Un sistema sequenziale sincrono, caratterizzato da due segnali di ingresso (Req, X) e da due segnali di uscita (Z, Ack), tutti sincroni rispetto al clock, ha il compito di elaborare dati numerici costituiti da 15 cifre decimali (C_1, \dots, C_{15}) rappresentate secondo il codice BDC. I 60 bit rappresentativi di ciascun dato sono presentati in ingresso al sistema serialmente attraverso il segnale X, nell'ordine $C_{1-MSB}, \dots, C_{15-LSB}$. Il segnale Req, attivo a livello logico 1 e di durata unitaria, identifica l'intervallo di presentazione in ingresso del primo bit di ciascun dato (C_{1-MSB}). Per ogni dato presentato in ingresso il sistema deve identificare la più ampia stringa $S \equiv \{C, \dots, C\}$ formata da cifre decimali identiche, fornendo come risultato in uscita l'indicazione della cifra stessa C (rappresentata ancora secondo il codice BDC), unitamente al numero N delle sue istanze in S (rappresentato secondo il sistema di numerazione binario mediante 4 bit). Gli 8 bit rappresentativi di ogni risultato devono essere trasferiti in uscita serialmente attraverso il segnale Z, secondo il seguente ordine: $C_{MSB}, \dots, C_{LSB}, N_{MSB}, \dots, N_{LSB}$. Durante l'intervallo di generazione del risultato il sistema deve attivare il segnale Ack.

Il sistema deve essere strutturato secondo il modello data-path & control unit, come indicato in figura. Il data-path comprende tre unità funzionali:

- l'unità di temporizzazione, cui è delegato il compito di discriminare le diverse fasi del processo di elaborazione, generando opportuni segnali di sincronismo utilizzati dalle altre unità (si veda lo schema dettagliato riportato in figura);
- l'unità di elaborazione, cui è delegato il compito di identificare i valori di C e N per ciascun dato applicato in ingresso (si veda lo schema dettagliato riportato in figura);
- l'unità di uscita, cui è delegato il compito di rendere ordinatamente disponibili in serie tutti i bit rappresentativi di ciascun risultato.

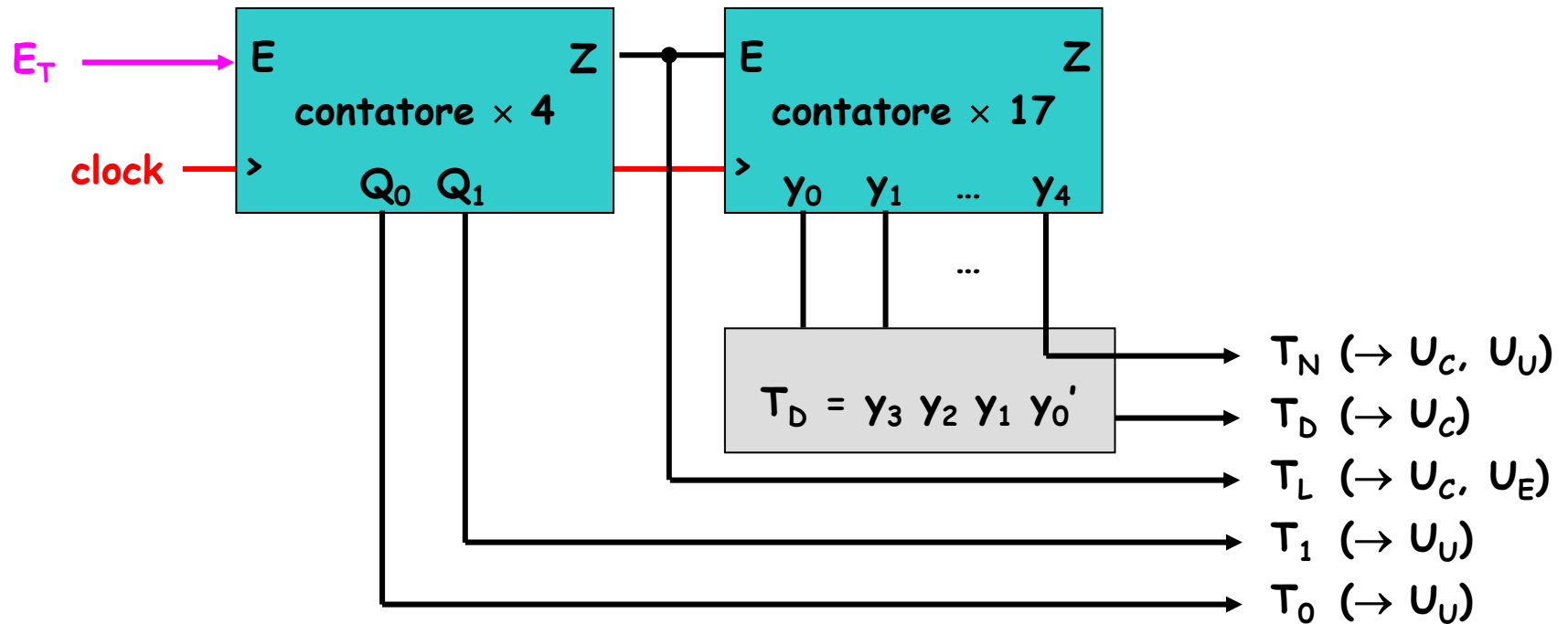
Si completi il progetto del data-path. Si definisca il grafo degli stati dell'unità di controllo (ingressi: Req, T_L , T_D , T_N , EQ, GT; uscite: E_T , E_C , L_C , E_R , Ack).



U_C : unità di controllo
 U_T : unità di temporizzazione

U_E : unità di elaborazione
 U_U : unità di uscita

L'unità di temporizzazione

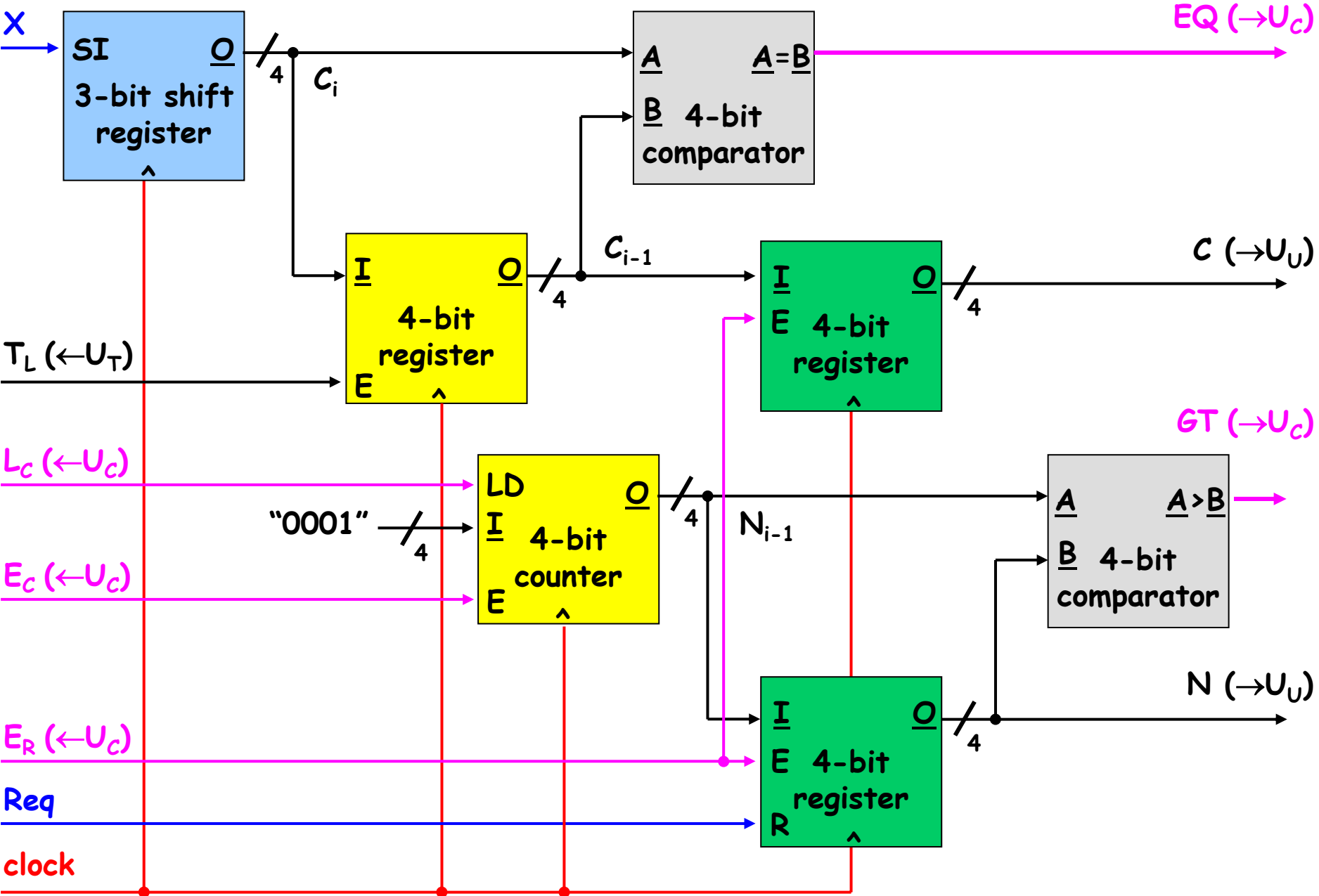


T_L : ultimo bit di una cifra

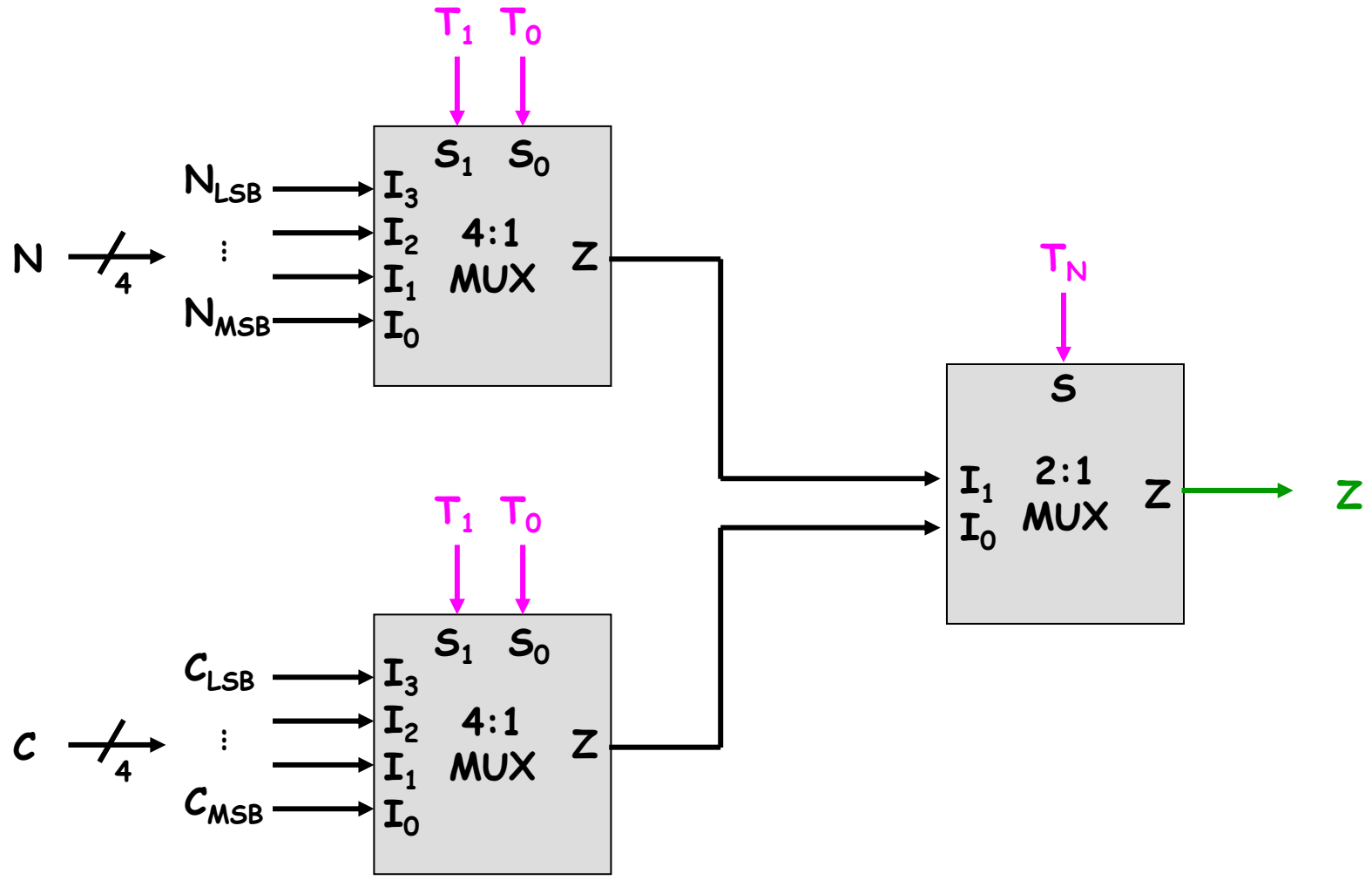
T_D : ultima cifra di un dato

T_N : ultima cifra (valore N) di un risultato

L'unità di elaborazione



L'unità di uscita



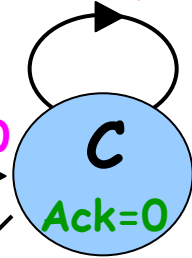
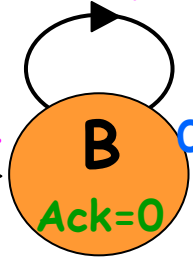
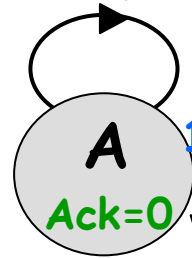
L'unità di controllo

Req T_L T_D T_N EQ GT, E_T E_C L_C E_R

010001,1-11
010000,1-10
01001-,1100
0000--,1000

0000--,0---

0000--,1--0



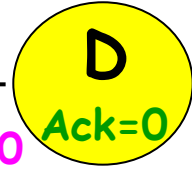
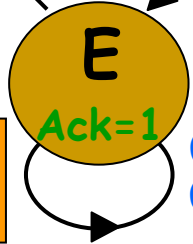
1000--,1---

0100--,1-10

0101--,1---

011001,1-11
011000,1-10

01101-,1100



0000-0,0--0
0000-1,0--1

0-00--,1--0
0001--,1--0

A

attesa di Req e conseguente reset di N ($C=?$, $N_{i-1}=?$, $C_{i-1}=?$)

B

ricezione di C_1 e conseguente inizializzazione di $N_{i-1}=1$ ($C_{i-1}=C_1$, $N=0$, $C=?$)

C

ricezione di C_i ($i=2..15$) e conseguente aggiornamento di C_{i-1} , N_{i-1} , C , N :
se $C_i=C_{i-1} \rightarrow N_{i-1}++$
se $C_i \neq C_{i-1} \rightarrow$ se $N_{i-1} > N \rightarrow C=C_{i-1}, N=N_{i-1}$
 $N_{i-1}=1$
($C_{i-1}=C_i$)

D

se $C_{15}=C_{14}$ & $N_{i-1} > N \rightarrow C=C_{i-1}, N=N_{i-1}$

E

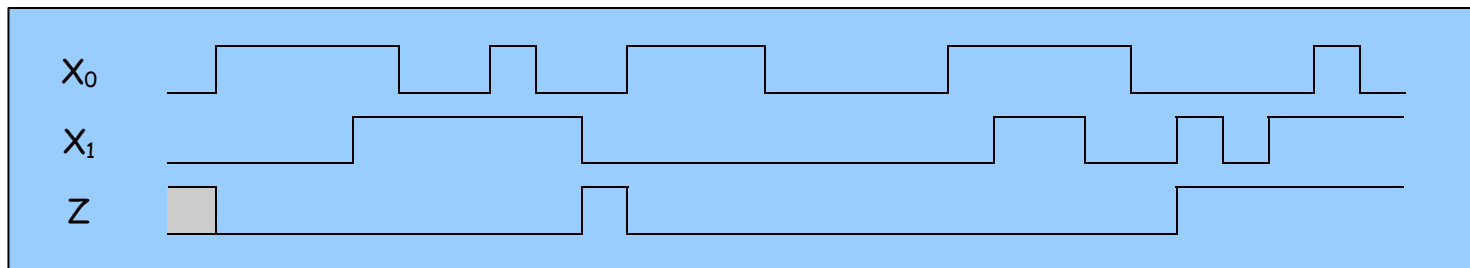
trasmissione di C, N

Problema 2

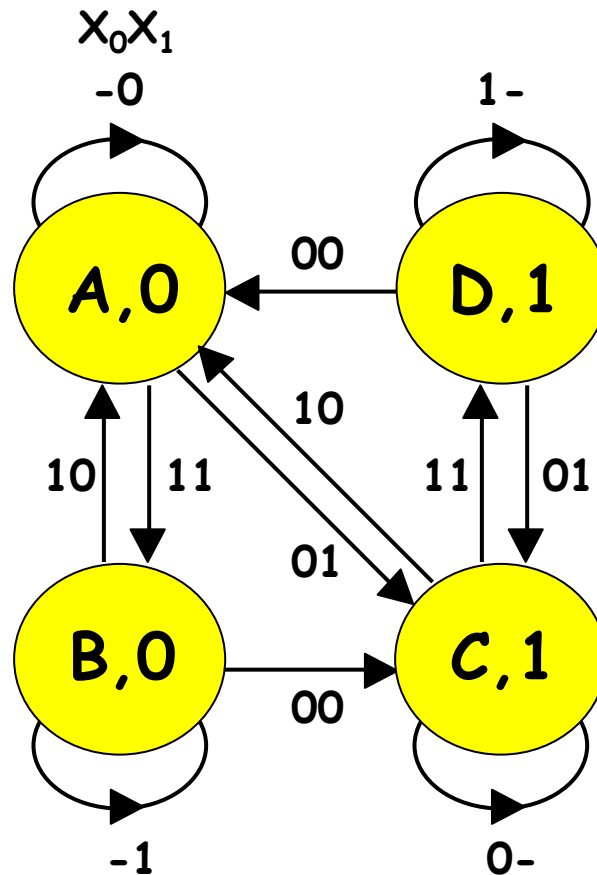
Una rete sequenziale asincrona è caratterizzata da due segnali di ingresso X_0 , X_1 , i quali possono cambiare di valore uno soltanto alla volta, e da un segnale di uscita Z . La rete ha il compito di evidenziare tramite il segnale di uscita Z quale fra i due segnali di ingresso ha per ultimo subito una variazione in presenza del valore logico 0 dell'altro segnale. Più precisamente, Z deve assumere il valore 0 se l'ultima variazione significativa, nel senso specificato, è dovuta a X_0 , il valore 1 se essa è dovuta a X_1 .

Si identifichi:

- il grafo degli stati della rete;
- la corrispondente tabella di flusso in forma minima;
- una tabella delle transizioni priva di corse critiche;
- l'espressione SP delle variabili di stato e di uscita.



Grafo degli stati



e ... diagramma delle adiacenze \rightarrow 2 transizioni multiple

$X_0X_1 = 10: C \Rightarrow B \Rightarrow A$

$X_0X_1 = 01: A \Rightarrow D \Rightarrow C$